

# Électronique 1 (EE-202) - Projet

Lucas Jung (324724)

Lea Grieder (328216)

EPFL BA5 - Janvier 2024

---

## Table des matières

<b>1</b>	<b>Analyse et Dimensionnement d'une Porte Logique</b>	<b>2</b>
1.1	Étude des Fonctions Booléennes $S1$ $S2$ $S3$ . . . . .	2
1.2	Fonction Booléenne du Circuit . . . . .	3
1.3	Calcul des Tensions de Sortie $S3$ . . . . .	4
1.4	Dimensionnement du Circuit Sous Contraintes . . . . .	6
1.5	Préparation de la Simulation . . . . .	7
1.6	Simulation LTspice Analyse Temporelle . . . . .	7
1.7	Résultats . . . . .	8
<b>2</b>	<b>Cellule de l'Opérateur Addition</b>	<b>10</b>
2.1	Table de Vérité . . . . .	10
2.2	Expressions Booléennes Optimisées . . . . .	10
2.3	Solution portes NAND . . . . .	11
2.4	Transposition du Circuit Logique avec Transistors Bipolaires . . . . .	11
2.5	Préparation de la Simulation . . . . .	12
2.6	Simulation LTspice Analyse Temporelle . . . . .	13
2.7	Simulation d'un Additionneur sur Plusieurs Bits . . . . .	16
<b>3</b>	<b>Amplificateur de Tension à Transistor Bipolaire</b>	<b>20</b>
3.1	Explications de $R_E$ $C_E$ et $C_{IN}$ $C_{OUT}$ . . . . .	20
3.2	Évaluation du Bêta . . . . .	20
3.3	Calcul de la Polarisation $I_B$ Négligeable . . . . .	21
3.4	Calcul de la Polarisation $I_B$ Considéré . . . . .	21
3.5	Calcul des Paramètres Petits Signaux . . . . .	23
3.6	Calcul du Gain de l'Amplificateur . . . . .	23
3.7	Simulation du Montage Initial . . . . .	24
3.8	Simulation après Changement $R_L$ . . . . .	26
3.9	Simulation avec Second Étage d'Amplification . . . . .	27
<b>4</b>	<b>Conclusion</b>	<b>29</b>
<b>A</b>	<b>Table des figures</b>	<b>30</b>
<b>B</b>	<b>Liste des Fichiers Fournis</b>	<b>31</b>

# 1 Analyse et Dimensionnement d'une Porte Logique

Ce premier exercice consiste à analyser puis à dimensionner un circuit composé de trois portes logiques.

## 1.1 Étude des Fonctions Booléennes $S1$ $S2$ $S3$

Une diode est un composant électronique qui permet au courant de circuler dans une seule direction. Dans un contexte de logique numérique, où des tensions données représentent des états logiques ( $0$  ou  $1$ ), une diode conduira le courant (et donc transmettra un état logique  $1$ ) lorsque la tension à son anode (extrémité positive) est plus élevée (voir sa tension  $U_j$ ) que la tension à sa cathode (extrémité négative).

La **Porte 1** est une porte "OU" ( $\vee$ ) à deux entrées,  $A$  et  $B$ , qui sont connectées aux anodes des diodes  $D_A$  et  $D_B$ , respectivement. Les cathodes des deux diodes sont reliées ensemble et connectées à la sortie  $X$ .

La résistance  $R_{11}$  est connectée entre la sortie  $X$  et la masse ( $0$  [V]), agissant comme une résistance de pull-down. Cela signifie que si aucune des diodes ne conduit (si  $A$  et  $B$  sont toutes les deux à un état bas), la sortie  $X$  est tirée vers le bas par  $R_{11}$ , résultant en un état bas à la sortie.

Lorsque l'une des entrées  $A$  ou  $B$  (ou les deux) est à un état haut (logique  $1$ ), la diode correspondante est polarisée en direct (forward biased) car la tension à l'anode est plus élevée que celle à la cathode (qui est à la masse via  $R_{11}$ ), ce que l'on a appelé au cours un "détecteur de la tension la plus élevée". Cela permet à la ou les diodes de conduire, créant un chemin pour le courant qui tire la sortie  $X$  vers l'état haut.

Si les deux entrées  $A$  et  $B$  sont à un état bas, aucune des diodes ne conduit et la résistance de pull-down  $R_{11}$  maintient la sortie  $X$  à un état bas (logique  $0$ ), voir [Figure 1.1 Table vérité  \$S1\$](#) .

$$S1 = f(A, B) = A \vee B \quad (1.1)$$

S1 = f(A, B)		
A	B	S1 = A $\vee$ B
0	0	0
0	1	1
1	0	1
1	1	1

FIGURE 1.1 – Table vérité  $S1$

De façon similaire, la **Porte 2** est aussi une porte “OU”, et sa table de vérité est la même, voir [Figure 1.2 Table vérité S2](#).

$$S2 = f(C, D) = C \vee D \quad (1.2)$$

S2 = f(C, D)		
A	B	S2 = C ∨ D
0	0	0
0	1	1
1	0	1
1	1	1

FIGURE 1.2 – Table vérité S2

La **Porte 3** fonctionne comme une porte logique “ET” ( $\wedge$ ). Elle a deux entrées,  $X$  et  $Y$ , qui sont connectées aux cathodes de deux diodes,  $D_{11}$  et  $D_{12}$ .

Si l’un des points  $X$  ou  $Y$  (ou les deux) est à l’état bas (logique  $0$ ), la diode correspondante est polarisée en direct (forward biased) car la tension à la cathode est inférieure à celle de l’anode (qui est à la tension de référence  $V_{CC}$  à travers la résistance  $R_2$ ). Cela permet à la diode de conduire, créant un chemin pour le courant qui tire la sortie  $S3$  vers l’état bas (logique  $0$ ).

Si  $X$  et  $Y$  sont tous deux à l’état haut (logique  $1$ ), les deux diodes sont polarisées en inverse (reverse biased) car la tension aux cathodes est égale ou supérieure à la tension à l’anode. Dans ce cas, aucune des diodes ne conduit. La résistance  $R_2$  tire alors la sortie vers  $V_{CC}$ , ce qui place  $S3$  à l’état haut (logique  $1$ ), voir [Figure 1.3 Table vérité S3](#).

$$S3 = f(X, Y) = X \wedge Y \quad (1.3)$$

S3 = f(X, Y)		
X	Y	S3 = X ∧ Y
0	0	0
0	1	0
1	0	0
1	1	1

FIGURE 1.3 – Table vérité S3

## 1.2 Fonction Booléenne du Circuit

D’après la [Sous-Section 1.1 Étude des Fonctions Booléennes S1 S2 S3](#), il suffit maintenant de relier les trois expressions logiques entre elles, voir [Figure 1.4 Table vérité S3 complète](#).

$$S3 = S1 \wedge S2 = (A \vee B) \wedge (C \vee D) \quad (1.4)$$

La table de vérité logique suivante montre le résultat des fonctions booléennes pour chaque combinaison possible des entrées  $A$ ,  $B$ ,  $C$  et  $D$ .

**S3 = f(S1, S2)**

A	B	C	D	S1 = A v B	S2 = C v D	S3 = S1 ∧ S2
0	0	0	0	0	0	0
0	0	0	1	0	1	0
0	0	1	0	0	1	0
0	0	1	1	0	1	0
0	1	0	0	1	0	0
0	1	0	1	1	1	1
0	1	1	0	1	1	1
0	1	1	1	1	1	1
1	0	0	0	1	0	0
1	0	0	1	1	1	1
1	0	1	0	1	1	1
1	0	1	1	1	1	1
1	1	0	0	1	0	0
1	1	0	1	1	1	1
1	1	1	0	1	1	1
1	1	1	1	1	1	1

FIGURE 1.4 – Table vérité S3 complète

### 1.3 Calcul des Tensions de Sortie S3

Nous avons commencé par l'analyse des diodes afin de déterminer dans quels cas de figure elles sont bloquantes/passantes.

Nous allons commenter les 3 cas ci-dessous et calculer la valeur du potentiel en S3 pour chacun d'eux, avant d'analyser les résultats obtenus.

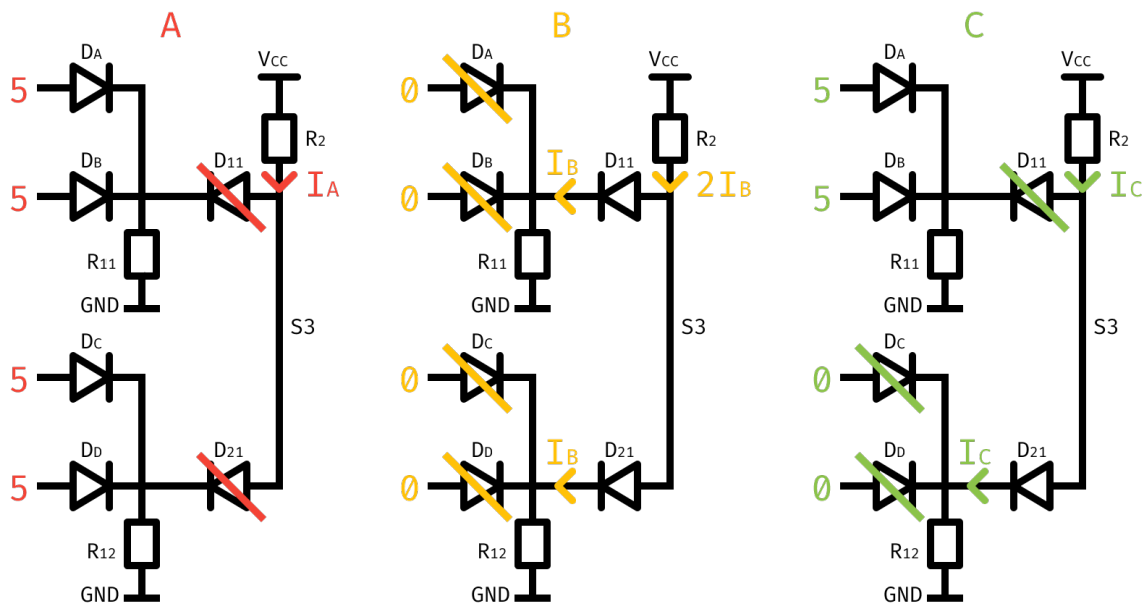


FIGURE 1.5 – Circuits pour calcul des tensions

**Remarque** - Pour la suite de l'exercice nous utiliserons l'affirmation suivante  $R_1 = R_{11} = R_{12}$ .

- A. Dans ce premier cas, les diodes  $D_A$ ,  $D_B$ ,  $D_C$  et  $D_D$  sont toutes passantes car du côté gauche on a du 5 [V] et de l'autre le  $GND$ . La différence de potentiel étant supérieure à  $U_j$ , ces diodes fixent leur potentiel à  $U_j$ , laissant alors plus que  $5 - U_j = 4.3$  [V] à leur droite.

Cela implique alors naturellement que les diodes  $D_{11}$  et  $D_{12}$  seront toutes deux bloquantes, car la différence de potentiel entre les points  $S3$  et  $X$  (ou  $Y$ ) ne peut effectivement pas être supérieure à  $U_j$ .

On se retrouve alors avec un circuit "ouvert", et la branche  $S3$  n'est donc pas reliée au  $GND$ . Cela implique que  $I_A = 0$ , et alors on peut déduire que le potentiel  $S3$  est le même sur toute la branche, soit environ  $V_{S3} = V_{CC} = 5$  [V].

- B. Dans ce deuxième cas, les diodes  $D_A$ ,  $D_B$ ,  $D_C$  et  $D_D$  sont toutes bloquantes car du côté gauche de ces diodes on a du 0 [V], et le côté droit est relié à la masse.

Cela implique alors que les diodes  $D_{11}$  et  $D_{21}$  sont passantes car la différence de potentiel entre  $S3$  et  $X$  (ou  $Y$ ) sera supérieure à  $U_j$ . Ces diodes fixent donc leur potentiel à  $U_j$ .

Il y a alors un courant qui circule de  $V_{CC}$  jusqu'aux masses du circuit. Puisque  $R_{11}$  et  $R_{12}$  ont la même valeur, le courant se sépare équitablement entre les deux branches  $X$  et  $Y$  du circuit. Cela nous mène au système d'équations suivant.

$$\begin{cases} V_{CC} = 2I_B \cdot R_2 + U_j + I_B \cdot R_{12} \\ V_{S3} = V_{CC} - 2I_B \cdot R_2 \end{cases} \quad (1.5)$$

$$\begin{aligned} 2I_B \cdot R_2 + I_B R_{12} &= V_{CC} - U_j \\ \Rightarrow I_B &= \frac{V_{CC} - U_j}{2R_2 + R_{12}} \end{aligned} \quad (1.6)$$

$$V_{S3} = V_{CC} - 2R_2 \frac{V_{CC} - U_j}{2R_2 + R_{12}} \quad (1.7)$$

Après l'application numérique, on trouve  $V_{S3} = 2.1\bar{3}$  [V].

- C. Dans ce troisième et dernier cas, les diodes  $D_A$  et  $D_B$  sont passantes (comme dans le cas A). Ces deux diodes fixent alors leur potentiel à  $U_j$ . Quant aux diodes  $D_C$  et  $D_D$ , elles sont bloquantes (comme dans le cas B).

Il y a alors un courant qui circule dans la branche de  $V_{CC}$  jusqu'à la masse du circuit, en passant par  $Y$  mais pas par  $X$ . Cela nous mène au système d'équations suivant.

$$\begin{cases} V_{CC} = I_C \cdot R_2 + U_j + I_C \cdot R_{12} \\ V_{S3} = V_{CC} - I_C \cdot R_2 \end{cases} \quad (1.8)$$

$$\begin{aligned} I_C \cdot R_2 + I_C \cdot R_{12} &= V_{CC} - U_j \\ \Rightarrow I_C &= \frac{V_{CC} - U_j}{R_2 + R_{12}} \end{aligned} \quad (1.9)$$

$$V_{S3} = V_{CC} - R_2 \frac{V_{CC} - U_j}{R_2 + R_{12}} \quad (1.10)$$

Après l'application numérique, on trouve  $V_{S3} = 2.85$  [V].

- D. On peut conclure de ces résultats que le circuit ne fonctionne pas tout à fait comme prévu par son modèle logique. En effet, dans le cas  $C$ , les entrées logiques  $\mathbf{1 \ 1 \ 0 \ 0}$  devraient donner le résultat logique  $\mathbf{0}$  mais nous donne le résultat électronique  $2.85$  [V]. Cette valeur est plus proche de  $5$  [V] que de  $0$  [V], et pourrait donc être interprétée comme un  $\mathbf{1}$  logique à tort.

Pour ce qui est du cas  $B$ , la valeur électronique reçue est plus proche de  $0$  [V] que de

5[V], ce qui correspondrait alors bien à la valeur correcte d'un  $\mathbf{0}$  logique. Cependant, on pourrait tout de même attendre une différence plus significative afin d'éviter les mauvaises surprises.

## 1.4 Dimensionnement du Circuit Sous Contraintes

Nous allons maintenant tenter de respecter les contraintes imposées par la question 4.

- $V_{S_3}(\mathbf{1}) > V_M = 4$  [V] - Cette contrainte sera respectée peu importe les choix des valeurs pour  $R_1$  ou  $R_2$ . En effet, comme expliqué dans le point A de la [Sous-Section 1.3 Calcul des Tensions de Sortie S3](#), le courant  $I_A$  est nul lorsque les diodes  $D_{11}$  et  $D_{21}$  sont bloquantes. Puisque la branche  $S_3$  n'est pas reliée à la masse, elle adoptera un potentiel environ égal à celui de  $V_{CC}$ . Or, on a  $V_{CC} > V_M$ , donc la condition est respectée.
- $V_{S_3}(\mathbf{0}) < V_m = 0.5$  [V] - Cette contrainte n'est actuellement pas respectée par le montage, comme discuté au point D de la question précédente. Posons une inéquation pour tenter d'appliquer cette contrainte dans le cas C, qui est le montage avec le potentiel correspondant au  $\mathbf{0}$  logique le plus élevé.

$$\begin{aligned}
 & V_{S_3} < V_m \\
 \implies & V_{CC} - R_2 \frac{V_{CC} - U_j}{R_2 + R_1} < V_m \\
 \implies & V_{CC} - V_m < \frac{R_2}{R_2 + R_1} (V_{CC} - U_j) \\
 \implies & \frac{V_{CC} - V_m}{V_{CC} - U_j} < \frac{R_2}{R_2 + R_1} \\
 \implies & \frac{V_{CC} - V_m}{V_{CC} - U_j} < \frac{1}{1 + \frac{R_1}{R_2}} \\
 \implies & 1 + \frac{R_1}{R_2} < \frac{V_{CC} - U_j}{V_{CC} - V_m} \\
 \implies & \frac{R_1}{R_2} < \frac{V_{CC} - U_j}{V_{CC} - V_m} - 1
 \end{aligned} \tag{1.11}$$

Lorsque l'on passe à l'application numérique, on trouve  $\frac{R_1}{R_2} < -0.4$ . Cette valeur pour le rapport des résistances est, de toute évidence, impossible à satisfaire. En effet, cette contrainte n'est pas applicable à notre circuit compte tenu du fait que  $U_j = 0.7$  [V], et que  $R_1$  et  $R_2$  doivent être positives.

Il est cependant intéressant de trouver un autre seuil de travail  $V'_m$  raisonnable.

$$\begin{aligned}
 & 0 < \frac{R_1}{R_2} < \frac{V_{CC} - U_j}{V_{CC} - V'_m} - 1 \\
 \implies & V_{CC} - V'_m < V_{CC} - U_j \\
 \implies & V'_m > U_j
 \end{aligned} \tag{1.12}$$

Cela nous explique pourquoi la valeur  $V_m = 0.5$  [V] n'est pas raisonnable : car  $V_m \not> U_j$ . Posons par ailleurs  $V'_m = 1.5$  [V], signifiant que l'on souhaite imposer la valeur maximale pour le potentiel du  $\mathbf{0}$  logique à 1.5 [V]. Cette valeur fonctionne car elle respecte la condition imposée dans l'équation 1.12. Dimensionnons le circuit pour respecter ce nouveau plafond du  $\mathbf{0}$  logique.

$$\frac{R_1}{R_2} < \frac{V_{CC} - U_j}{V_{CC} - V'_m} - 1 \tag{1.13}$$

Le passage à l'application numérique nous donne le résultat arrondi suivant :  $\frac{R_1}{R_2} < 0.23$ . Cela signifie que l'on doit satisfaire  $R_2 > 4.375 \cdot R_1$  pour respecter le nouveau plafond  $V'_m$ . Nous avons donc choisi de garder  $R_1 = R_{11} = R_{12} = 1$  [k $\Omega$ ] et de modifier  $R_2 = 5$  [k $\Omega$ ].

## 1.5 Préparation de la Simulation

Comme on peut le voir sur la partie gauche de la [Figure 1.3 Table vérité S3](#), nous avons quatre possibilités de superpositions des états pour les deux bits d'entrée  $AB$  et  $CD$ . Il suffit donc d'alterner deux signaux de type PULSE de manière à générer toutes les combinaisons possibles (dans le même ordre que la table de vérité).

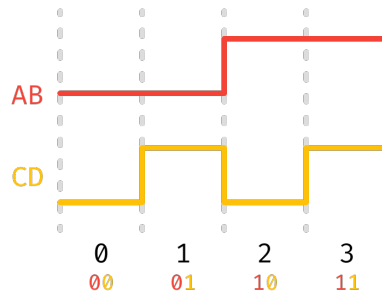


FIGURE 1.6 – Combinaisons des signaux d'entrée sur deux bits

Nous fixerons arbitrairement le temps entre deux états à une seconde, et un temps très faible pour ce qui concerne les temps de montée/descente.

En se basant sur la [Figure 1.6 Combinaisons des signaux d'entrée sur deux bits](#) on obtient les directives de gestion des potentiels d'entrée suivantes.

- Pour  $AB$  : PULSE(0 5 2 1p 1p 2 4 1)
- Pour  $CD$  : PULSE(0 5 1 1p 1p 1 2 2)
- Avec pour durée totale : .trans 0 4 0

## 1.6 Simulation LTspice Analyse Temporelle

Avant de lancer la simulation [LTspice](#)<sup>1</sup>, il est intéressant de d'abord poser les résultats attendus de cette simulation. Toujours à partir de la [Figure 1.3 Table vérité S3](#), il nous suffit de transposer les résultats logiques pour  $S_3$  sous forme de pulse.

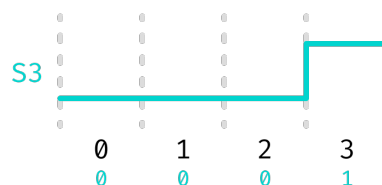


FIGURE 1.7 – Signal de sortie  $S_3$  attendus

Nous pouvons ensuite procéder à la simulation de notre circuit électronique sur LTspice avec les premiers paramètres choisis dans la [Sous-Section 1.5 Préparation de la Simulation](#).

1. LTspice : <https://en.wikipedia.org/wiki/LTspice>

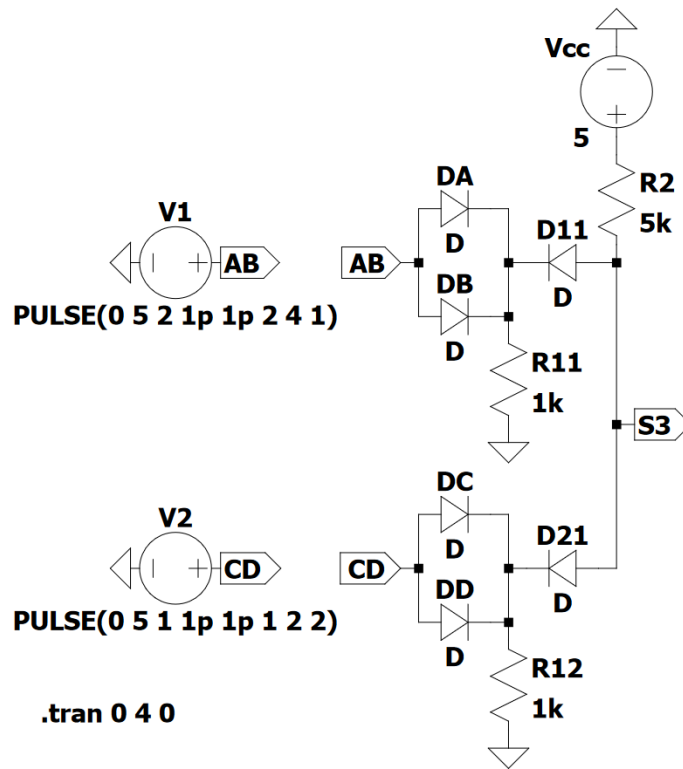


FIGURE 1.8 – Montage du circuit sur LTSpice

La [Figure 1.8 Montage du circuit sur LTSpice](#) ci-dessus montre notre montage LTSpice ainsi que les directives de simulations utilisées.

## 1.7 Résultats

Après avoir lancé notre simulation, nous avons ajouté les courbes nécessaires à la vue “plot trace” de LTSpice.

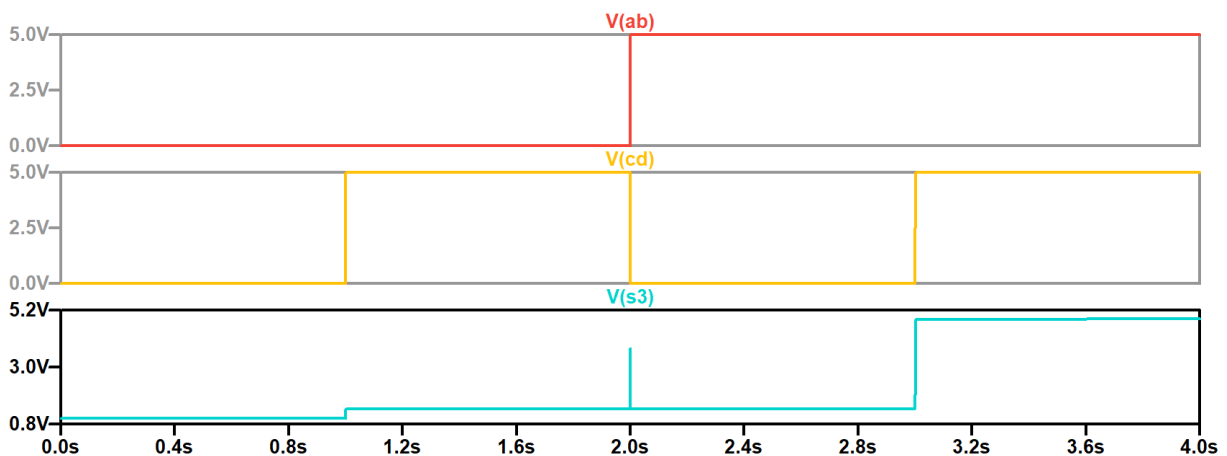


FIGURE 1.9 – Résultats de la simulation du circuit sur LTSpice

Le signal  $V(s3)$  résultant de la simulation correspond pratiquement aux signal logique de sortie attendu (voir [Figure 1.7 Signal de sortie  \$S\_3\$  attendus](#)). Penchons nous sur les deux différences notables.



1. Les paliers de tension du  $\mathbf{0}$  logique ne sont pas tout à fait situés à 0 [V]. Cela est parfaitement normal en réalité puisque nous avons dimensionné notre circuit dans la [Sous-Section 1.4 Dimensionnement du Circuit Sous Contraintes](#) pour respecter la contrainte que le  $\mathbf{0}$  logique soit sous la barre des 1.5 [V].

Lorsque l'on adopte cet angle de vue, nous observons que le comportement du signal de 0 à 3 secondes correspond correctement au  $\mathbf{0}$  logique.

Le petit changement de tension qui se produit au palier de la première seconde de simulation correspond tout à fait à ce que l'on peut trouver de manière calculatoire dans le cas C, étudié en détails dans la [Sous-Section 1.3 Calcul des Tensions de Sortie S3](#).

2. On peut observer un pic de tension à la deuxième seconde de la simulation qui peut sembler étrange au premier regard. Cependant, ce pic de tension s'explique tout à fait par le décalage nécessaire de temps lié au signal d'entrée de type PULSE pour  $V(ab)$  et  $V(cd)$ . En effet, dans le simulateur, nous ne pouvons pas spécifier un `Trise` et un `Tfall` de 0 [s].

Nous avons dû choisir une valeur, très faible certes mais non nulle, qui décale légèrement notre signal. Cela signifie que la montée du signal de  $V(ab)$  et la descente du signal de  $V(cd)$  ne s'effectue pas parfaitement au même instant, ni même instantanément à 2 [s]. Cela mène à un signal d'entrée qui n'est pas exact à ce moment précis.

Le problème disparaît très rapidement par la suite et on peut alors à nouveau observer les résultats attendus.

Pour conclure cet exercice, les résultats obtenus confirment notre compréhension et notre analyse du circuit. Les petites différences avec le signal de sortie logique théorique s'expliquent facilement (voir ci-dessus). Le circuit fonctionne comme espéré après la phase de dimensionnement.

## 2 Cellule de l'Opérateur Addition

Dans ce second exercice nous allons concevoir, implémenter puis tester un circuit additionneur électronique à partir de son analyse logique.

### 2.1 Table de Vérité

Nous avons commencé cet exercice par la réalisation de la table de vérité de la cellule de l'opérateur addition en se basant sur nos connaissances de bases de l'addition en colonnes que l'on peut faire sur papier.

a	b	C <sub>IN</sub>	S	C <sub>OUT</sub>
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

FIGURE 2.1 – Table de vérité pour  $S$  et  $C_{OUT}$

### 2.2 Expressions Booléennes Optimisées

Commençons par présenter le diagramme de Karnaugh pour  $S$  provenant directement de la colonne  $S$  de la [Figure 2.1 Table de vérité pour  \$S\$  et  \$C\_{OUT}\$](#) .

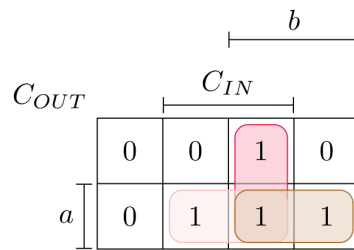
		-----  $b$	
		-----  $C_{IN}$	
$S$		0	1
	0	1	0
	1	0	1
	$a$	1	0

FIGURE 2.2 – Diagramme de Karnaugh pour  $S$

Cela nous permet de trouver directement l'expression logique optimisée suivante (sans utiliser de "XOR" bien sûr).

$$S = (\bar{a} \wedge \bar{b} \wedge C_{IN}) \vee (\bar{a} \wedge b \wedge \overline{C_{IN}}) \vee (a \wedge \bar{b} \wedge \overline{C_{IN}}) \vee (a \wedge b \wedge C_{IN}) \quad (2.1)$$

Procédons de la même manière pour  $C_{OUT}$  en commençant par dessiner son diagramme de Karnaugh.

FIGURE 2.3 – Diagramme de Karnaugh pour  $C_{OUT}$ 

Cela nous permet de trouver l'expression logique optimisée suivante pour  $C_{OUT}$ .

$$C_{OUT} = (b \wedge C_{IN}) \vee (a \wedge C_{IN}) \vee (a \wedge b) \quad (2.2)$$

### 2.3 Solution portes NAND

Après un long développement peu intéressant et de multiples applications des lois de De Morgan, nous avons converti les équations 2.1 et 2.2 afin de n'employer que des portes "NAND".

**Remarque** - La notation employée ci-dessous fait implicitement usage de la priorité opératoire de la négation sur la conjonction logique.

$$S = \overline{\overline{1 \wedge a} \wedge \overline{1 \wedge b} \wedge C_{IN} \wedge \overline{1 \wedge a} \wedge b \wedge \overline{1 \wedge C_{IN}} \wedge a \wedge \overline{1 \wedge b} \wedge \overline{1 \wedge C_{IN}} \wedge a \wedge b \wedge C_{IN}} \quad (2.3)$$

$$C_{OUT} = \overline{\overline{a \wedge b} \wedge \overline{a \wedge C_{IN}} \wedge \overline{b \wedge C_{IN}}} \quad (2.4)$$

### 2.4 Transposition du Circuit Logique avec Transistors Bipolaires

En prenant les équations 2.3 et 2.4 comme références, nous avons tout d'abord établi un circuit logique de base implémentant lesdites équations sur Logisim<sup>2</sup>.

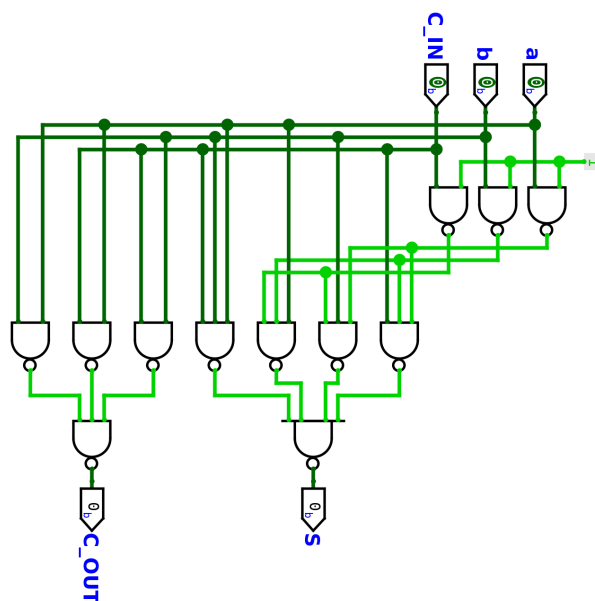


FIGURE 2.4 – Circuit logique de la cellule additionneur NAND

2. Logisim : <https://fr.wikipedia.org/wiki/Logisim>

Nous avons ensuite transposé ce circuit logique en circuit électronique sur le simulateur LTSpice en utilisant des transistors bipolaires 2N2222. Toutes les valeurs des résistances de ce circuit ont été arbitrairement fixées à 1 [k $\Omega$ ].

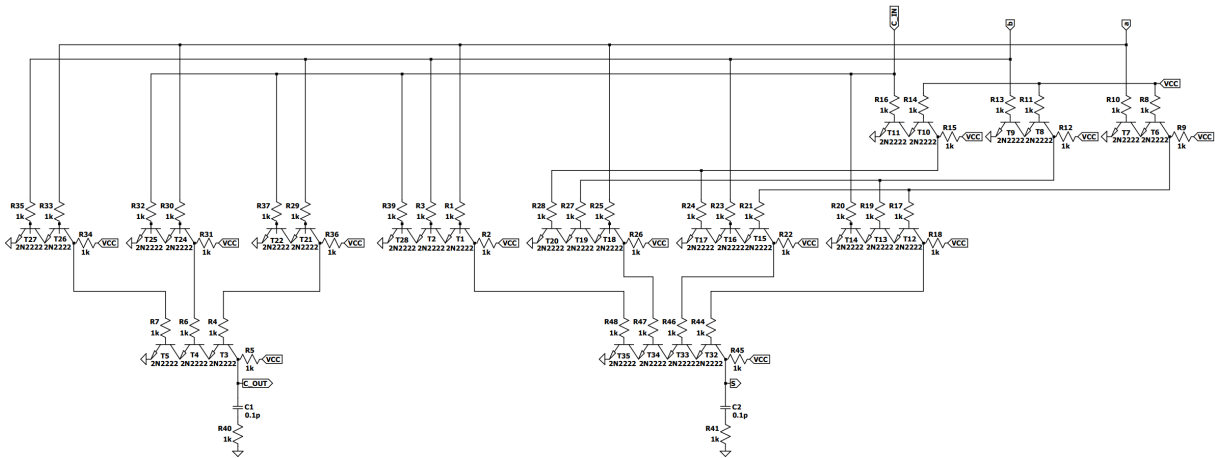


FIGURE 2.5 – Circuit électronique de la cellule additionneur NAND

On identifie facilement les différentes parties du circuit logique analogue de la [Figure 2.4 Circuit logique de la cellule additionneur NAND](#) sous forme électronique.

**Remarque** - Pour la suite de cet exercice, nous avons arbitrairement fixé le 0 logique à environ 0 [V], et le 1 logique à environ 5 [V].

## 2.5 Préparation de la Simulation

Nous procéderons de manière analogue à la [Sous-Section 1.5 Préparation de la Simulation](#).

Comme on peut le voir sur la partie gauche de la [Figure 2.1 Table de vérité pour S et C<sub>OUT</sub>](#), nous avons huit possibilités de superpositions des états pour les trois bits d'entrée  $a$ ,  $b$ ,  $C_{IN}$ . Il suffit donc d'alterner trois signaux de type PULSE de manière à générer toutes les combinaisons (dans le même ordre que celui de la table de vérité).

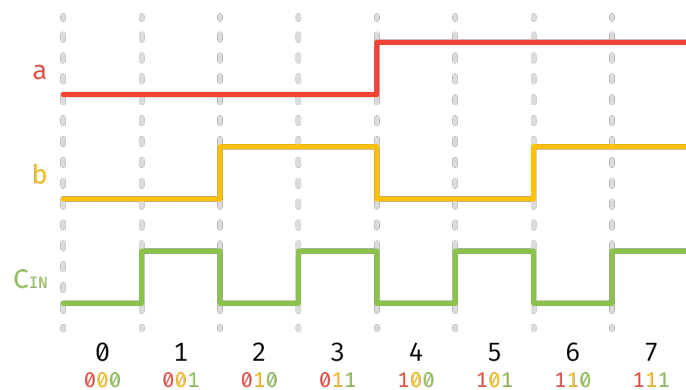


FIGURE 2.6 – Combinaisons des signaux d'entrée sur trois bits

Nous fixerons, arbitrairement d'abord, le temps entre deux états à une seconde, et un temps très faible pour ce qui concerne les temps de montée/descente. En se basant sur la [Figure 2.6 Combinaisons des signaux d'entrée sur trois bits](#) on obtient les directives de gestion des potentiels d'inputs suivantes.

- Pour  $a$  : `PULSE(0 5 4 1p 1p 4 8 1)`
- Pour  $b$  : `PULSE(0 5 2 1p 1p 2 4 2)`
- Pour  $C_{IN}$  : `PULSE(0 5 1 1p 1p 1 2 4)`
- Avec pour durée totale : `.tran 0 8 0`

Voici donc les directives correspondantes pour les sources de tension en entrée (labels de type "input") une fois intégrée sur le montage de la [Figure 2.5 Circuit électronique de la cellule additionneur NAND](#).

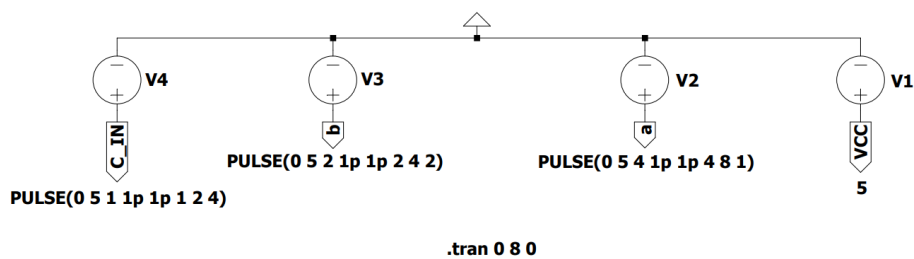


FIGURE 2.7 – Paramètres initiaux des sources de tension en entrée

**Remarque** - Nous changerons bien évidemment ces valeurs (trop élevées) dans la [Sous-Section 2.6.1 Analyse des Temps de Commutation](#) pour mesurer les temps de commutation.

## 2.6 Simulation LTspice Analyse Temporelle

Avant de lancer la simulation LTspice, il est intéressant de d'abord poser les résultats attendus de cette simulation. Toujours à partir de la [Figure 2.1 Table de vérité pour  \$S\$  et  \$C\_{OUT}\$](#) , il nous suffit de transposer les résultats logiques pour  $S$  et  $C_{OUT}$  sous forme de pulse.

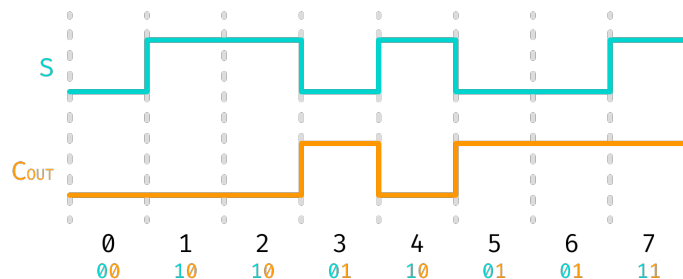


FIGURE 2.8 – Combinaisons des signaux de sortie attendus

Nous pouvons ensuite procéder à la simulation de notre circuit électronique sur LTspice avec les premières directives choisies dans la [Sous-Section 2.5 Préparation de la Simulation](#).

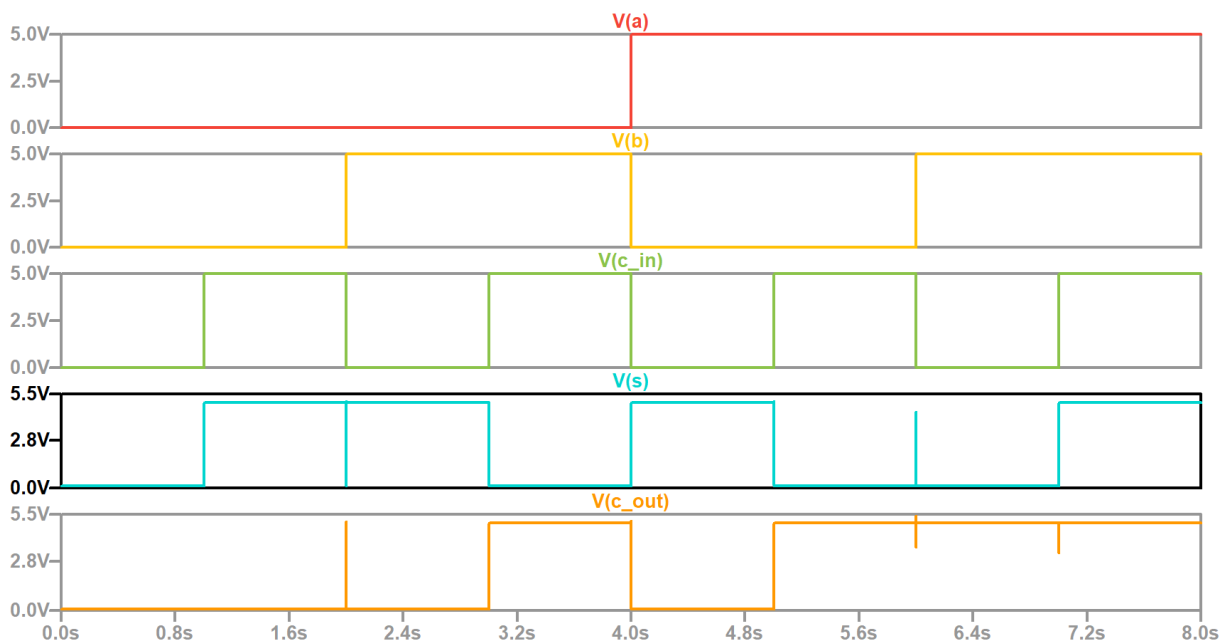


FIGURE 2.9 – Premiers résultats de simulation

Ces résultats sont pratiquement ceux que nous attendions, confirmant alors que notre circuit électronique fonctionne correctement. En effet, ces courbes sont presque identiques à leur version logique du modèle théorique (voir [Figure 2.8 Combinaisons des signaux de sortie attendus](#)).

La seule différence notable est la brève présence de pics de tensions aux temps 2 [s], 6 [s] et 7 [s]. Ces sauts de tensions ne durent que très peu de temps et s'expliquent certainement par la même raison que ceux des résultats de la [Sous-Section 1.7 Résultats](#) (et peut-être également en partie par le temps de commutation).

Globalement cette simulation confirme le bon fonctionnement de notre cellule additionneur.

### 2.6.1 Analyse des Temps de Commutation

Après avoir observé que notre circuit fonctionnait comme prévu, nous avons entrepris la démarche de mesure des temps de commutation. Pour faire cela, nous avons cherché une échelle de temps adéquate pour permettre la mesure des temps de commutation. En diminuant petit à petit notre échelle initiale, nous sommes parvenus à trouver les nouveaux signaux suivants pour les tensions d'entrée (changement de l'échelle temporelle).

- Pour  $a$  : `PULSE(0 5 12u 1p 1p 12u 24u 1)`
- Pour  $b$  : `PULSE(0 5 6u 1p 1p 6u 12u 2)`
- Pour  $C_{IN}$  : `PULSE(0 5 3u 1p 1p 3u 6u 4)`
- Avec pour durée totale : `.trans 0 24u 0`

En conséquence, voici les modifications que nous avons apportées à nos directives de simulation initiaux (voir Figure 2.7 Paramètres initiaux des sources de tension en entrée) sur le montage de la Figure 2.5 Circuit électronique de la cellule additionneur NAND.

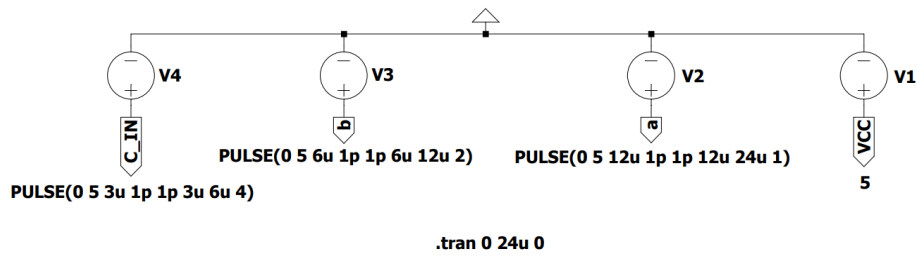


FIGURE 2.10 – Paramètres pour mesure des temps de commutation

Voici maintenant les résultats de cette nouvelle simulation.

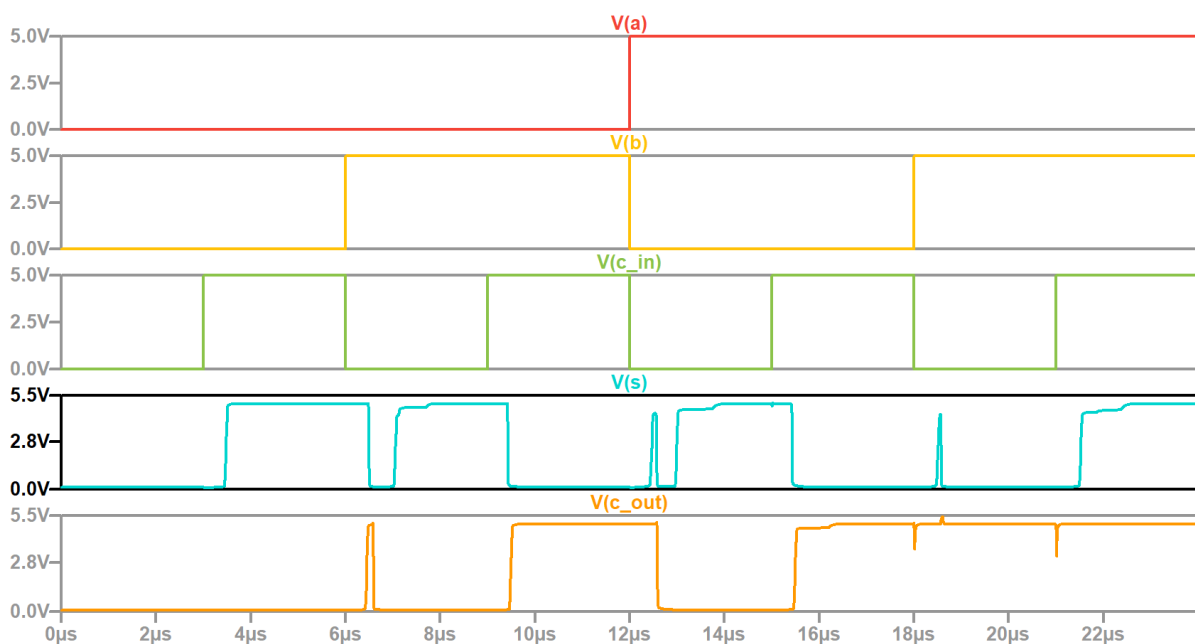


FIGURE 2.11 – Résultats de la simulation pour mesure des temps de commutation

Nous avons donc mesuré les différents temps de commutation pour  $S$  et  $C_{OUT}$  aux sept “points critiques” de changement des signaux d’entrée. Nous les avons reportés dans un tableur calculatoire pour les comparer avec les temps de changement des signaux de sortie de notre modèle théorique, si la commutation était instantanée.

États / Temps [μs]	Temps théorique	Commutation S		Commutation C <sub>OUT</sub>	
		Temps mesuré	Temps commutation	Temps mesuré	Temps commutation
0 à 1	3	3,6	<b>0,6</b>	3,0	<b>0,0</b>
1 à 2	6	6,6	<b>0,6</b>	6,7	<b>0,7</b>
2 à 3	9	9,5	<b>0,5</b>	9,6	<b>0,6</b>
3 à 4	12	13,1	<b>1,1</b>	12,8	<b>0,8</b>
4 à 5	15	15,6	<b>0,6</b>	15,6	<b>0,6</b>
5 à 6	18	18,7	<b>0,7</b>	18,1	<b>0,1</b>
6 à 7	21	21,6	<b>0,6</b>	21,1	<b>0,1</b>

FIGURE 2.12 – Tableur pour calcul des temps de commutation

Globalement on peut observer que le circuit commute assez rapidement. Le temps de commutation maximal que nous avons mesuré pour  $S$  est  $T_S = 1.1 [\mu\text{s}]$ , et celui pour  $C_{OUT}$  est  $T_{C_{OUT}} = 0.8 [\mu\text{s}]$ .

Cela signifie que ce circuit pourrait fonctionner à une fréquence maximale d'environ 800 [kHz] (1.25  $[\mu\text{s}]$  par cycle) s'il fonctionnait de manière isolée et que le temps de mesure était instantané.

On peut remarquer également que les temps de commutation pour  $S$  sont en moyenne plus grand que ceux de  $C_{OUT}$ . Cela est certainement dû au fait que plus de portes logiques sont nécessaires au résultat de  $S$  (8 portes) comparé au nombre nécessaire pour  $C_{OUT}$  (4 portes). Cela augmente le temps de propagation du signal depuis les entrées jusqu'aux sorties.

Nous pouvons ajouter que le nombre d'entrées qui changent semble impacter le temps de commutation. En effet, plus le nombre d'entrées modifiées à un temps  $t$  donné est grand, plus le temps que prend le circuit à avoir un résultat correct et stable augmente.

Cela se fait particulièrement ressentir lors du passage de l'état 3 à 4, au temps 12  $[\mu\text{s}]$ , où les temps de commutation  $T_S$  et  $T_{C_{OUT}}$  atteignent leur maximum.

**Remarque** - Le temps de commutation de l'état 0 à 1 de  $C_{OUT}$  n'est pas réellement 0 [s]. Il n'est simplement pas observable avec la simulation que nous avons lancée.

## 2.7 Simulation d'un Additionneur sur Plusieurs Bits

Nous allons maintenant utiliser cette cellule additionneur plusieurs fois afin d'obtenir un additionneur sur plusieurs bits.

Nous avons trouvé judicieux de réaliser un additionneur sur quatre bits car nous avons pensé que c'était une taille déjà conséquente. En effet, quatre bits s'avèrent être déjà plus intéressant que deux bits, mais huit bits semblent trop lourd et fastidieux.

### 2.7.1 Circuit Logique de l'Additionneur Quatre Bits

Commençons par présenter le circuit logique de cet additionneur sur quatre bits implémenté sur Logisim.

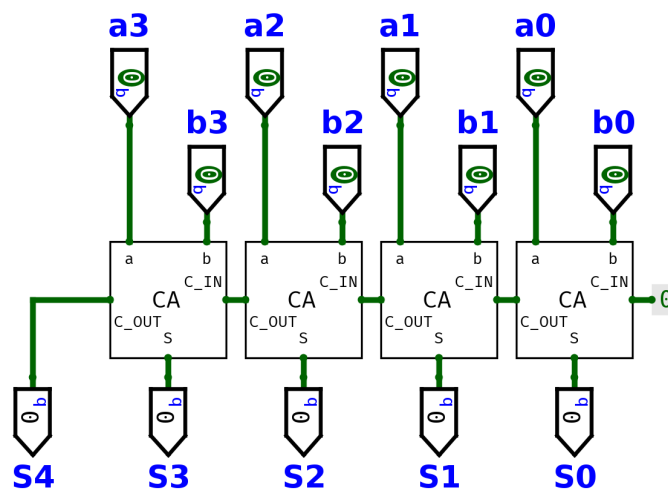


FIGURE 2.13 – Circuit logique de l'additionneur 4 bits



Nous avons créé un composant logique CA (pour Cellule Additionneur) qui n'est que la version condensée du circuit présent sur la [Figure 2.4 Circuit logique de la cellule additionneur NAND](#).

Nous avons alors fait usage de notre composant logique CA quatre fois : autant de fois que nous avons de bits sur nos chiffres d'entrées. Il a ensuite fallu connecter la sortie C\_OUT de chaque composant dans l'entrée C\_IN du composant respectif suivant (retenue de l'addition binaire). Ceci à deux exceptions près, la première C\_IN qui est naturellement mise au 0 logique et la dernière C\_OUT qui est le dernier chiffre du résultat de l'addition. En effet il faut être conscient que l'addition de quatre chiffres binaire peut donner un résultat sur cinq chiffres binaires (ou alors on parlera d'overflow).

Dès lors, pour utiliser cet additionneur logique, il nous suffit de choisir deux chiffres décimaux A et B, tenant tous deux sur quatre bits, et de mettre leur représentation binaire dans les entrées correspondantes. L'entrée logique a3 correspond au "bit de poids fort" du chiffre A, et a0 à son "bit de poids faible". Il en va de même pour B. Nous obtiendrons alors le résultat S, en représentation binaire également, sur les cinq bits s4 à s0.

**Remarque** - Il est intéressant de noter qu'il est facile de transposer ce type de circuit à plus que quatre bits par la suite. Il suffit de continuer avec la même logique mais de connecter plus de composants CA les uns derrière les autres.

## 2.7.2 Transposition en Circuit Électronique

Nous avons ensuite transposé ce circuit logique en circuit électronique en dupliquant quatre fois notre montage de la [Figure 2.5 Circuit électronique de la cellule additionneur NAND](#).

Malheureusement, ce montage est trop grand pour être ajouté en tant qu'image au sein de ce document. Il est cependant disponible sous forme de fichier LTspice, comme tous nos montages et toutes nos simulations, voir [Annexe B Liste des Fichiers Fournis](#).

Nous avons donc écrit les huit signaux type pulse d'entrée pour chacun des quatre bits des nombres A et B. La simulation permet de tester le résultat des 256 combinaisons pour les entrées du circuit. Nous avons choisi un interval de temps de 12  $[\mu\text{s}]$

Comme cela serait trop long à inclure dans ce rapport, nous avons judicieusement choisi une période d'étude intéressante à détailler ici même. Nous présentons ci-dessous les résultats théoriques attendus pour les périodes correspondantes aux états 87 à 94 (compris).

- État 00 - ...
- État 87 -  $A = 5, B = 7, S = A + B = 12$  - Commutation théorique à 1044  $[\mu\text{s}]$
- État 88 -  $A = 5, B = 8, S = A + B = 13$  - Commutation théorique à 1056  $[\mu\text{s}]$
- État 89 -  $A = 5, B = 9, S = A + B = 14$  - Commutation théorique à 1068  $[\mu\text{s}]$
- État 90 -  $A = 5, B = 10, S = A + B = 15$  - Commutation théorique à 1080  $[\mu\text{s}]$
- État 91 -  $A = 5, B = 11, S = A + B = 16$  - Commutation théorique à 1092  $[\mu\text{s}]$
- État 92 -  $A = 5, B = 12, S = A + B = 17$  - Commutation théorique à 1104  $[\mu\text{s}]$
- État 93 -  $A = 5, B = 13, S = A + B = 18$  - Commutation théorique à 1116  $[\mu\text{s}]$
- État 94 -  $A = 5, B = 14, S = A + B = 19$  - Commutation théorique à 1128  $[\mu\text{s}]$
- ... - État 255

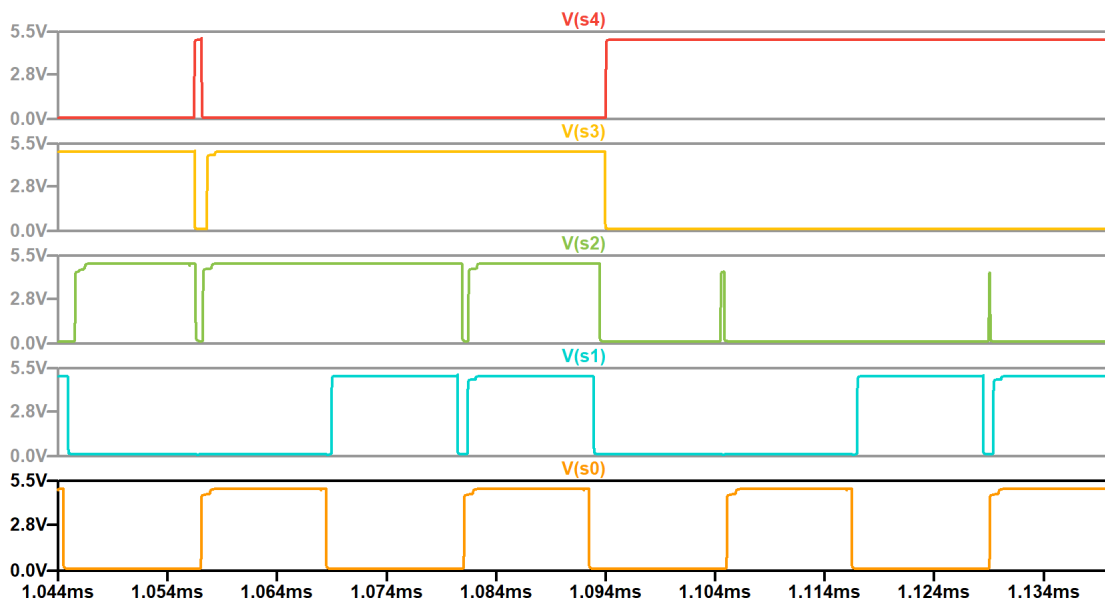
**Extrait table logique additionneur 4 bits - États 87 à 94**

État	A	a3	a2	a1	a0	B	b3	b2	b1	b0	S	s4	s3	s2	s1	s0	c2	c1	c0
87	5	0	1	0	1	7	0	1	1	1	12	0	1	1	0	0	1	1	1
88	5	0	1	0	1	8	1	0	0	0	13	0	1	1	0	1	0	0	0
89	5	0	1	0	1	9	1	0	0	1	14	0	1	1	1	0	0	0	1
90	5	0	1	0	1	10	1	0	1	0	15	0	1	1	1	1	0	0	0
91	5	0	1	0	1	11	1	0	1	1	16	1	0	0	0	0	1	1	1
92	5	0	1	0	1	12	1	1	0	0	17	1	0	0	0	1	1	0	0
93	5	0	1	0	1	13	1	1	0	1	18	1	0	0	1	0	1	0	1
94	5	0	1	0	1	14	1	1	1	0	19	1	0	0	1	1	1	0	0

FIGURE 2.14 – Extrait des résultats attendus pour l'additionneur quatre bits

Procédons maintenant à la simulation sur LTspice.

### Résultats pour l'addition

FIGURE 2.15 – Extrait des résultats pour  $S$  de la simulation de l'additionneur quatre bits

Nous pouvons remarquer que la simulation nous donne les résultats que nous attendions lorsqu'on les compare avec les valeurs logiques de sortie théoriques présentées sur la [Figure 2.14 Extrait des résultats attendus pour l'additionneur quatre bits](#).

Nous avons également vérifié les signaux  $V(s0)$ ,  $V(s1)$ ,  $V(s2)$  et  $V(s3)$  pour la totalité des 256 états. Nous pouvons donc confirmer le fait que nous avons implémenté un additionneur électronique sur quatre bits qui fonctionne.

Pour ce qui concerne les temps de commutation de ce nouveau circuit, il semblerait logique (d'un point de vue théorique) de parvenir à des temps de commutation finaux plus long pour  $V(s3)$  et  $V(s4)$  que pour  $V(s2)$  et ainsi de suite. Cela semblerait logique car la retenue met du temps à se propager à travers les différentes cellules d'addition.

Cela donne une sorte de propagation en escalier que l'on peut observer sur les signaux de résultats. On remarque particulièrement bien ce phénomène sur la [Figure 2.15 Extrait des résultats pour  \$S\$  de la simulation de l'additionneur quatre bits](#) au temps 1092 [ $\mu$ s]. Il est intéressant de voir cette structure de propagation en escalier qui décale le temps de commutation au fur et à mesure que les retenues se propagent.

Nous n'avons pas mesuré les temps de commutation pour chaque changement d'état et pour tous les niveaux de sorties mais après quelques mesures, nous pouvons conclure que le temps de commutation total pour l'additionneur à quatre bits est d'environ  $3 \mu\text{s}$ . Cela signifie que ce circuit pourrait fonctionner à une fréquence maximale d'environ  $300 \text{ kHz}$ , soit  $3.3 \mu\text{s}$  par cycle, s'il fonctionnait de manière isolée et que le temps de la mesure était instantané. Cette valeur semble cohérente avec les temps de commutation trouvés pour les retenues de la cellule additionneur.

### Résultats pour les retenues

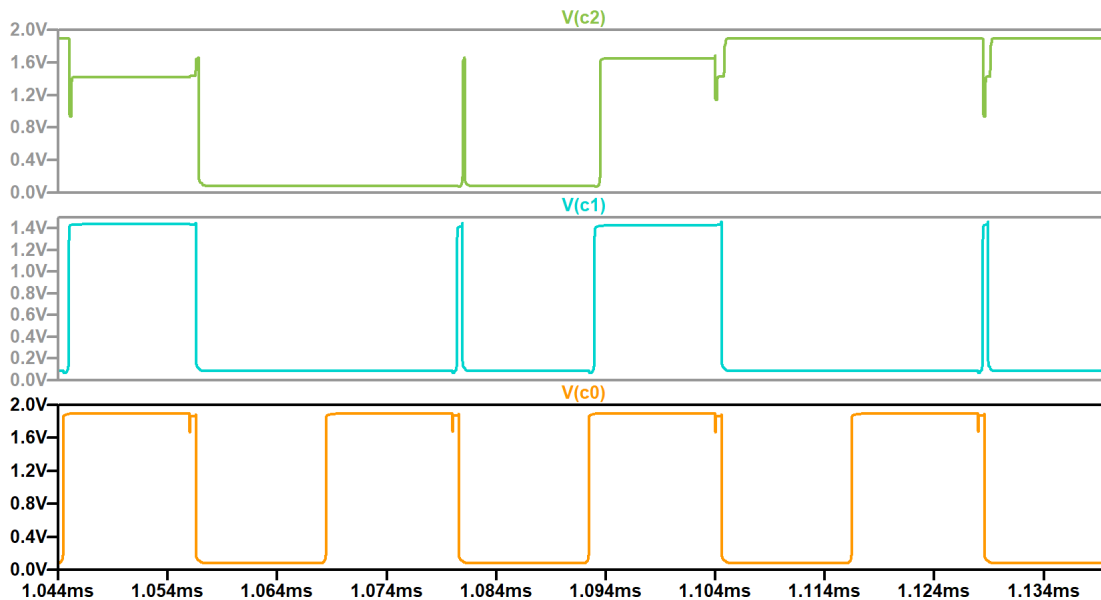


FIGURE 2.16 – Extrait des résultats pour  $C$  de la simulation de l'additionneur quatre bits

Pour ce qui concerne l'analyse des signaux des retenues intermédiaires de l'addition sur quatre bits, nous avons remarqué un changement de la tension à considérer comme le 1 logique. Sur la [Figure 2.16 Extrait des résultats pour  \$C\$  de la simulation de l'additionneur quatre bits](#), le 1 logique est considéré comme une tension supérieure à  $1 \text{ V}$ , et le 0 logique comme une tension inférieure à  $1 \text{ V}$ . Cette chute de tension est liée au fait que cette branche (de la retenue sortante) est maintenant connectée à la partie gauche (retenue entrante) de la cellule suivante. C'est notamment pour cette raison que cette chute de tension n'est pas observable sur  $V(s4)$  (la dernière retenue sortante) puisqu'elle n'est pas connectée à une autre cellule additionneur.

Une fois cette précision faite, on remarque que les résultats correspondent parfaitement à ceux que nous avons calculé dans la [Figure 2.14 Extrait des résultats attendus pour l'additionneur quatre bits](#). On observe également un temps de commutation cohérent (déjà analysé ci-dessus).

### 3 Amplificateur de Tension à Transistor Bipolaire

Dans ce troisième et dernier exercice, nous ferons l'analyse complète d'un montage à transistor bipolaire.

#### 3.1 Explications de $R_E$ , $C_E$ et $C_{IN}$ , $C_{OUT}$

- Résistance d'émetteur  $R_E$  - Elle stabilise le courant de polarisation en fournissant une rétroaction négative thermique. Si la température augmente, le courant à travers le transistor augmente, ce qui augmente la tension à travers  $R_E$ . Cela mène à la réduction de la tension base-émetteur et donc du courant à travers le transistor.
- Capacité  $C_E$  - Elle est utilisée pour court-circuiter la résistance d'émetteur  $R_E$  pour les signaux alternatifs (AC).  $C_E$  permet aux signaux AC de contourner  $R_E$ , réduisant ainsi la rétroaction négative pour les signaux AC et augmentant le gain en tension pour ces signaux.
- Condensateur d'entrée  $C_{IN}$  - Il bloque la composante continue (DC) du signal d'entrée pour que seul le signal AC soit appliqué à la base du transistor. Il sert aussi à coupler le signal AC à l'amplificateur sans affecter les tensions de polarisation continues du circuit.
- Condensateur de sortie  $C_{OUT}$  - Il bloque la composante DC dans le signal de sortie, assurant que seul le signal AC est transmis à la charge  $R_L$ .

#### 3.2 Évaluation du Bêta

Présentons maintenant ci-dessous le circuit simulé sur LTspice.

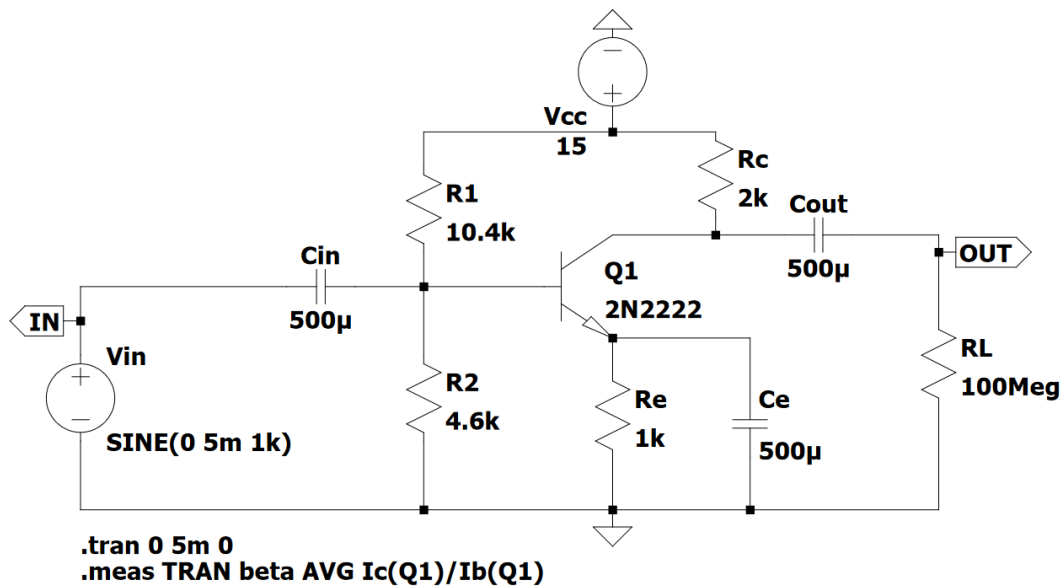


FIGURE 3.1 – Calcul du bêta en utilisant LTspice

Pour les condensateurs d'entrée  $C_{IN}$  et de sortie  $C_{OUT}$ , une valeur de  $500 \mu\text{F}$  a été choisie. Cette valeur élevée, selon notre compréhension du montage, devrait permettre aux condensateurs d'agir comme des courts-circuits pour les signaux alternatifs (AC). C'est à dire qu'ils laisseraient passer ces signaux tout en bloquant toute tension continue (DC) qui risquerait d'interférer avec le fonctionnement du transistor autrement. De cette manière, les signaux AC peuvent être amplifiés sans être affectés par la tension de polarisation DC.

Pour trouver la valeur de  $\beta$ , le gain en courant du transistor, une simulation en mode transitoire a été effectuée sur 5 millisecondes. De plus, nous avons rajouté une directive LTspice `.MEAS` permettant de mesurer une moyenne (AVG) de valeurs à choix pendant une période de simulation. Nous savons que  $\beta = \frac{I_C}{I_B}$ , et donc nous avons mesuré la moyenne du courant de base  $I_B$  et du courant de collecteur  $I_C$  le long de la simulation.

Résultat de la simulation, fenêtre “SPICE Error Log” :

```
beta: AVG(ic(q1)/ib(q1))=203.08 FROM 0 TO 0.005
```

Les résultats ont indiqué un  $\beta$  moyen de 203.08.

### 3.3 Calcul de la Polarisation $I_B$ Négligeable

Afin de comprendre le fonctionnement du circuit, et, plus spécifiquement du transistor, nous procédons aux calculs de polarisation, qui ne tient compte que des signaux DC. Dans cette première version,  $I_B$  est négligeable par rapport à  $I_{R_1}$  et  $I_{R_2}$ , donc  $I_{R_1} = I_{R_2}$ . De plus, comme les condensateurs possèdent des capacités infinies, nous les traitons comme des circuits ouverts en courant continu (DC). Notre circuit se réduit donc à un pont diviseur de tension.

En utilisant la loi des nœuds de Kirchhoff, on obtient le résultat suivant.

$$I_{R_1} - I_{R_2} - I_B = 0 \implies I_B = 0 \text{ [A]} \quad (3.1)$$

Nous connaissons la formule pour la tension à la base du transistor,  $V_B$ , par le diviseur de tension.

$$\begin{aligned} V_B &= V_{CC} \frac{R_2}{R_1 + R_2} = 4.6 \text{ [V]} \\ \implies V_E &= V_B - V_{BE} = 3.9 \text{ [V]} \end{aligned} \quad (3.2)$$

Puisque  $I_B$  est négligeable, on peut également trouver  $I_C$  grâce à  $I_E$ .

$$I_E = \frac{V_E}{R_E} \implies I_C = I_E - I_B = I_E = 3.9 \text{ [mA]} \quad (3.3)$$

De plus, puisque  $I_B$  est négligeable par rapport à  $I_{R_1}$  et  $I_{R_2}$ , nous pouvons calculer les valeurs suivantes en utilisant une résistance équivalente (en série).

$$I_{R_1} = I_{R_2} = \frac{V_{CC}}{R_1 + R_2} = 1 \text{ [mA]} \quad (3.4)$$

On peut donc maintenant trouver la valeur de  $V_C$  grâce à la loi d'Ohm.

$$V_C = V_{CC} - I_C \cdot R_C = 7.2 \text{ [V]} \quad (3.5)$$

### 3.4 Calcul de la Polarisation $I_B$ Considéré

Nous procédons maintenant aux calculs de la polarisation sans négliger  $I_B$ .

Puisque  $I_B$  n'est plus négligeable, nous ne pouvons plus utiliser la formule du diviseur résistif afin de déterminer  $V_B$ .

Nous avons donc décidé de remplacer le diviseur résistif de  $R_1$  et  $R_2$  par son équivalent de Thévenin  $V_{TH}$ .

$$V_{TH} = V_{CC} \frac{R_2}{R_1 + R_2}, \quad R_{12} = \frac{R_1 \cdot R_2}{R_1 + R_2} \quad (3.6)$$

Nous avons ensuite trouvé les relations de courants suivantes.

$$\begin{cases} I_C = \beta I_B \\ I_C + I_B = I_E \end{cases} \implies I_E = I_B \cdot (\beta + 1) \quad (3.7)$$

Posons maintenant les différents potentiels sur le circuit.

$$\begin{cases} V_C = V_{CC} - R_C \cdot I_C \\ V_B = V_{TH} - R_{12} \cdot I_B \\ V_E = R_E \cdot I_E \end{cases} \quad (3.8)$$

En appliquant la loi des mailles deux fois, et la loi des nœuds, on obtient les équations suivantes.

$$\begin{cases} V_B - U_j - R_E \cdot I_E = 0 \\ V_{CC} - R_1 \cdot I_{R_1} - R_2 \cdot I_{R_2} = 0 \\ I_{R_1} = I_B + I_{R_2} \end{cases} \quad (3.9)$$

Nous pouvons désormais résoudre et isoler les composantes  $I_B$  et  $I_{R_2}$ .

$$\begin{aligned} V_{TH} - R_{12} \cdot I_B - U_j - R_E \cdot I_B \cdot (\beta + 1) &= 0 \\ \implies I_B &= \frac{V_{TH} - U_j}{R_{12} + R_E \cdot (\beta + 1)} \end{aligned} \quad (3.10)$$

$$\begin{aligned} V_{CC} - R_1 \cdot (I_B + I_{R_2}) - R_2 \cdot I_{R_2} &= 0 \\ \implies I_{R_2} &= \frac{V_{CC} - R_1 \cdot I_B}{R_1 + R_2} \end{aligned} \quad (3.11)$$

Le passage à l'application numérique nous donne les résultats arrondis suivants.

$$I_B \simeq 18.816 \text{ } [\mu\text{A}] \implies \begin{cases} I_C \simeq 3.821 \text{ } [\text{mA}] \\ I_E \simeq 3.840 \text{ } [\text{mA}] \end{cases} \quad (3.12)$$

$$I_{R_2} \simeq 0.987 \text{ } [\text{mA}] \implies I_{R_1} \simeq 1.006 \text{ } [\text{mA}] \quad (3.13)$$

$$\implies \begin{cases} V_B \simeq 4.540 \text{ } [\text{V}] \\ V_C \simeq 7.358 \text{ } [\text{V}] \\ V_E \simeq 3.840 \text{ } [\text{V}] \end{cases} \quad (3.14)$$

Finalement, nous pouvons déduire que le transistor est dans le mode actif par le respect de la propriété suivante.

$$V_E < V_B < V_C \quad (3.15)$$

### 3.4.1 Comparaison et Commentaire Entre les Deux Versions

La considération de  $I_B$  ne change pas significativement les valeurs des courants dans le circuit et les tensions aux bornes des composants. Cela est tout à fait cohérent avec nos attentes, car le courant de base  $I_B$  est supposé être très faible dans ce type de circuit.

Le développement et les calculs pour  $\phi_{1b}$  sont bien plus longs et fastidieux que pour  $\phi_{1a}$  (en négligeant  $I_B$ ). Après tout ce travail, on se rend finalement compte que prendre  $I_B$  en considération ne change pas drastiquement les résultats.

Nous utiliserons tout de même les valeurs de la deuxième polarisation  $\phi_{1b}$ , car plus précis, pour la suite de nos calculs.

### 3.5 Calcul des Paramètres Petits Signaux

Afin de calculer les paramètres petits signaux  $gm$  (transconductance) et  $g_{be}$  (conductance d'entrée), nous utilisons les formules étudiées en classe.

Nous utiliserons  $U_T$  (la tension thermique à température ambiante) et  $I_C$  (le courant du collecteur en régime de polarisation). La tension thermique à température ambiante est d'environ  $U_T \simeq 26$  [mV].

$$\begin{cases} gm = \frac{I_C}{U_T} \\ g_{be} = \frac{gm}{\beta} \end{cases} \quad (3.16)$$

Le passage à l'application numérique nous donne les résultats arrondis suivants.

$$\begin{cases} gm \simeq 0.147 \text{ [S]} \\ \frac{1}{g_{be}} \simeq 1381.800 \text{ [\Omega]} \end{cases} \quad (3.17)$$

### 3.6 Calcul du Gain de l'Amplificateur

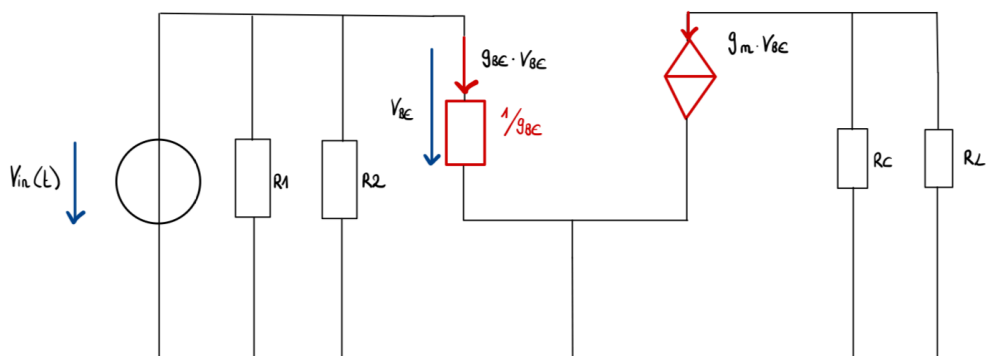


FIGURE 3.2 – Schéma accroissement pour calcul du gain

Afin de calculer le gain  $A_V$ , nous commençons par calculer la résistance formée par  $R_C$  et  $R_L$  en parallèle.

$$\frac{1}{R_{LC}} = \frac{1}{R_C} + \frac{1}{R_L} \quad (3.18)$$

Prenons maintenant en compte que  $R_L$  vaut  $\infty$  dans le cadre de cet exercice.

$$\frac{1}{R_L} \approx 0 \implies \frac{1}{R_{LC}} \approx \frac{1}{R_C} \implies R_{LC} \approx R_C \quad (3.19)$$

Utilisons ensuite les formules du cours pour déterminer le gain  $A_V$ .

$$A_V = \frac{V_{\text{OUT}}}{V_{\text{IN}}} = -gm \cdot R_{LC} \simeq -293.936 \quad (3.20)$$

La tension d'entrée est donc amplifiée environ 294 fois en magnitude.

Le signe négatif dans le gain en tension indique une inversion de phase entre la tension d'entrée et la tension de sortie. Cela signifie que lorsque la tension d'entrée augmente, la tension de sortie du circuit amplificateur diminue, et vice versa.

Finalement, le gain en décibels est donné par la formule suivante.

$$\text{gain}_{\text{dB}} = 20 \cdot \log_{10}(|A_V|) \simeq 49.365 \text{ [dB]} \quad (3.21)$$

### 3.7 Simulation du Montage Initial

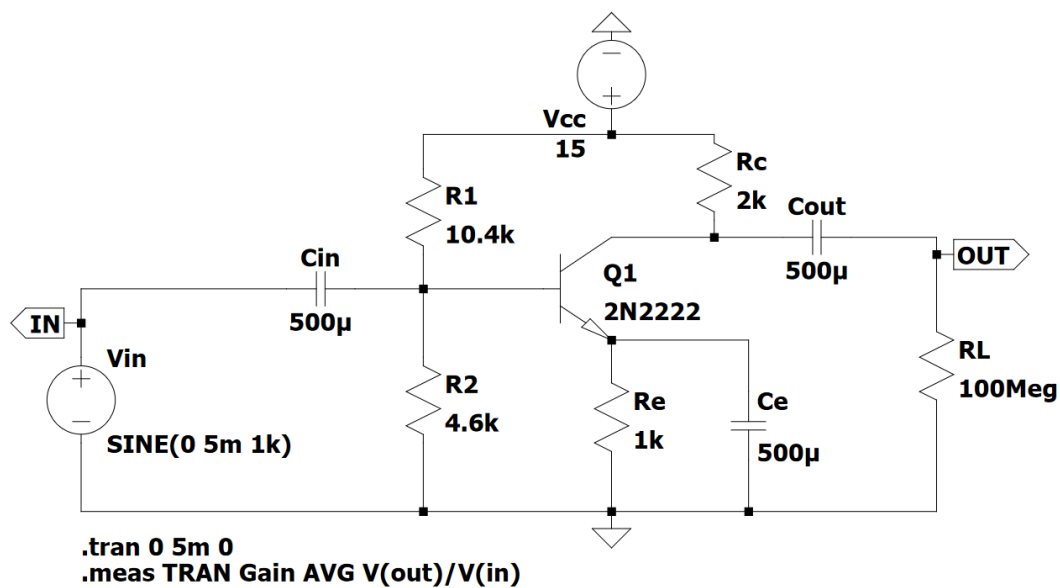


FIGURE 3.3 – Simulation transient du montage initial

La simulation a été réalisée en mode transient pour observer la réponse du circuit à un signal d'entrée sinusoïdal sur une période donnée. Les directives de la simulation transitoire sont définies pour couvrir plusieurs cycles du signal à une fréquence de 1 [kHz], permettant ainsi d'observer la stabilité et la forme répétitive du signal de sortie.

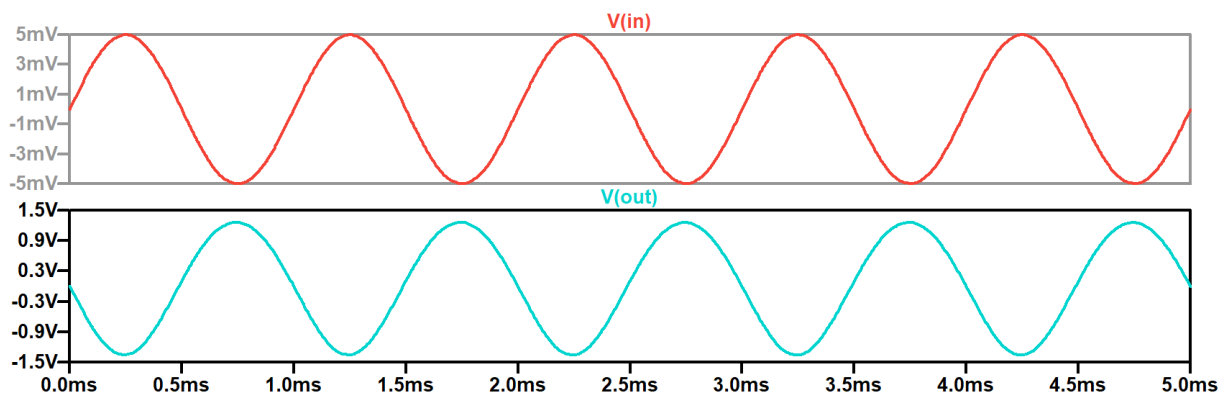


FIGURE 3.4 – Résultats de la simulation transient du montage initial



Commentons maintenant les deux graphes observés pour  $V_{IN}$  et  $V_{OUT}$  ci-dessus. Les valeurs de  $V_{IN}$  sont conformes à celles attendues. En effet, elles oscillent entre  $-5$  [mV] et  $5$  [mV], ce qui décrit correctement l'amplitude de notre signal sinusoïdal d'entrée. De plus, on peut observer que notre amplificateur de tension fait un bon travail, parce que notre tension de sortie a une amplitude maximale de  $1.3$  [V], comparée à la tension d'entrée de  $5$  [mV].

On remarque également bien l'inversion de phase entre la tension d'entrée et la tension de sortie.

Résultat de la simulation, fenêtre "SPICE Error Log" :

```
gain: AVG(v(out)/v(in))=-257.086 FROM 0 TO 0.005
```

Le gain moyen mesuré de l'amplificateur étant de  $-257.086$  en magnitude, on obtient un gain exprimé en décibels de  $48.20157$  [dB]. Cette valeur se rapproche fortement du gain théorique de  $49.365$  [dB].

Les faibles écarts observés entre les résultats expérimentaux et théoriques pourraient découler de certaines hypothèses simplificatrices adoptées lors des calculs théoriques. D'une part, les calculs de polarisation omettent les condensateurs en considérant leur valeur comme infinie, une condition qui n'est pas reproduite symétriquement dans les simulations LTspice (grandes valeurs à la place). D'autre part, comme détaillé dans [Sous-Section 3.6 Calcul du Gain de l'Amplificateur](#), la résistance équivalente utilisée dans le calcul du gain, notée  $R_{LC}$ , est estimée par l'hypothèse que la valeur de la résistance de charge  $R_L$  est infinie (de nouveau différent de la simulation LTspice). Une autre source de différence potentielle peut provenir de la valeur de  $U_T$  que nous utilisons, peut-être différente sur LTspice. Ces simplifications introduisent inévitablement des variations par rapport aux comportements complexes des composants réels et de leurs interactions dans le circuit.

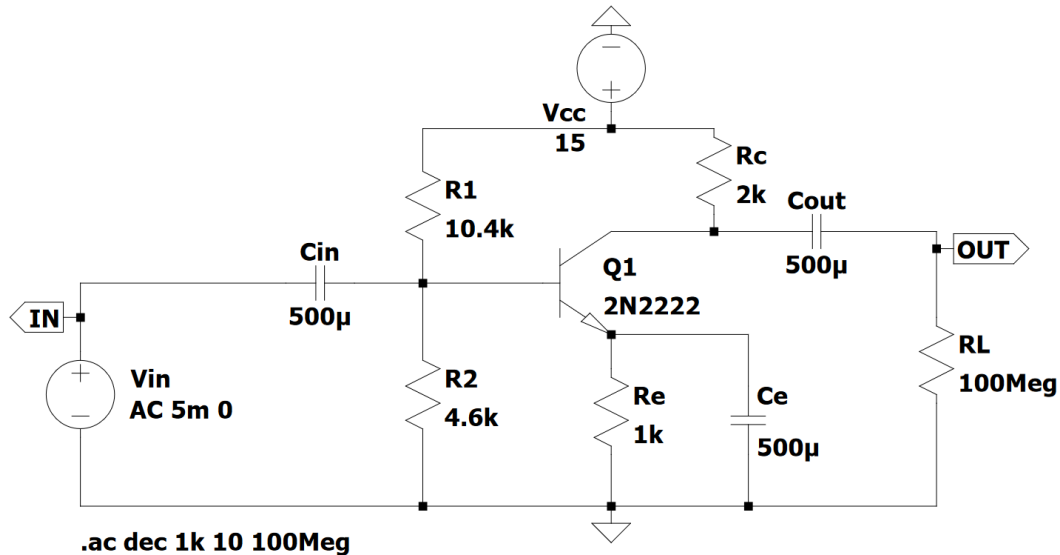


FIGURE 3.5 – Simulation AC du montage initial

Voici maintenant les résultats de la simulations.

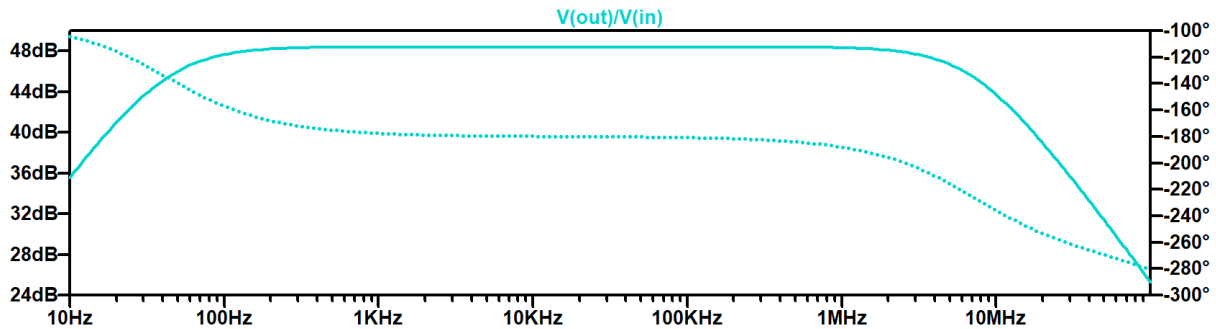


FIGURE 3.6 – Résultats de la simulation AC du montage initial

Le graphique ci-dessus est le résultat d'une simulation en mode courant alternatif (AC) avec la fonction de transfert  $\frac{V_{OUT}}{V_{IN}}$ . La courbe de gain montre que le circuit a un certain gain constant sur une large gamme de fréquences avant que la réponse ne commence à chuter. Nous pensons que notre circuit fonctionne correctement pour des fréquences allant de 100 [Hz] à 4 [MHz]. Pour ce qui est des fréquences en dehors de cette plage, elles seront de moins en moins amplifiées. On reconnaît la forme typique d'un filtre passe-bande.

### 3.8 Simulation après Changement $R_L$

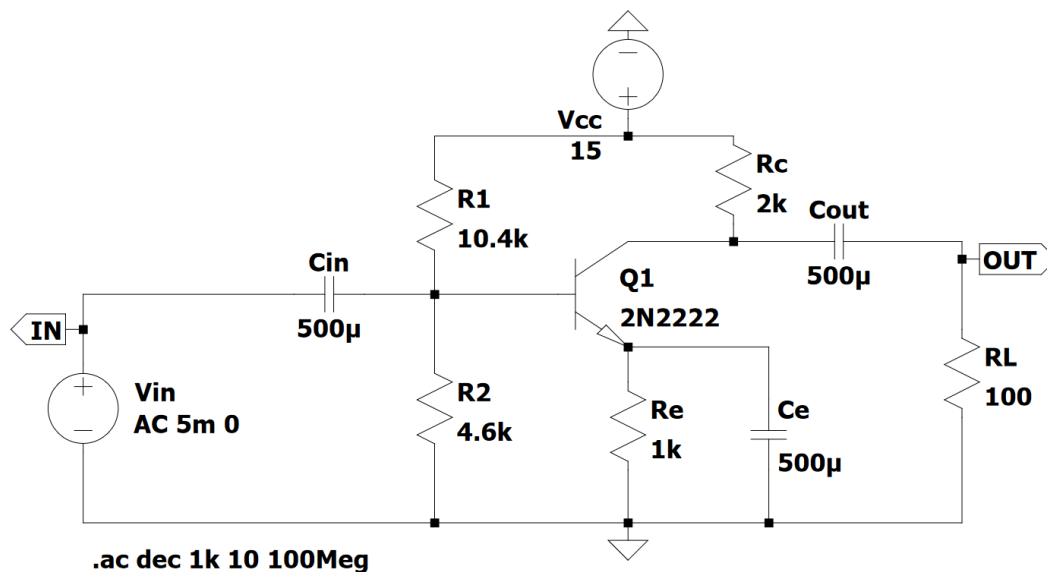


FIGURE 3.7 – Simulation AC du montage avec  $R_L$  modifiée

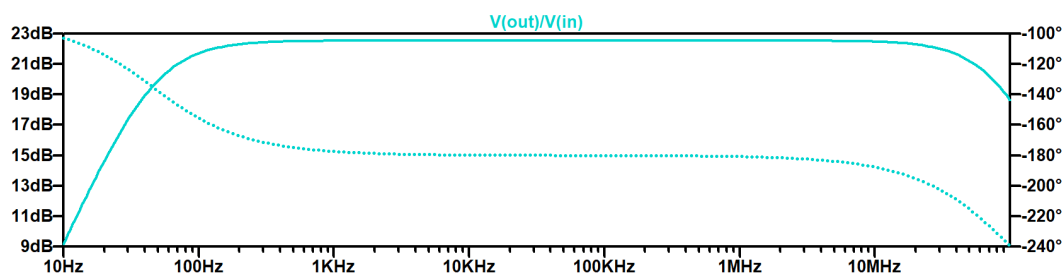


FIGURE 3.8 – Résultats de la simulation AC du montage avec  $R_L$  modifiée

Le changement de  $R_L$  à  $100 \text{ } [\Omega]$  a significativement réduit le gain global de l'amplificateur qui se situe maintenant autour de  $22.5 \text{ } [\text{dB}]$ . Cela a affecté la répartition de la tension au sein du circuit, mais le comportement général reste inchangé. On reconnaît toujours la forme d'un filtre passe-bande, avec une plage de fréquences légèrement modifiées.

La réduction du gain s'explique par le fait que la résistance équivalente  $R_{LC}$  a changé (voir [Figure 3.2 Schéma accroissement pour calcul du gain](#)). Quand la valeur de  $R_L$  était grande, on avait  $R_{LC} \approx R_C$ . Cela n'est plus une approximation correcte maintenant que  $R_L$  est petit.

$$R_{LC} = \frac{R_C \cdot R_L}{R_C + R_L} \simeq 95.238 \text{ } [\Omega] \ll R_C \quad (3.22)$$

$$\implies \text{gain}_{\text{dB}} = 20 \cdot \log_{10}(g_m \cdot R_{LC}) \simeq 22.921 \text{ } [\text{dB}]$$

Il est donc normal de voir le gain chuter.

### 3.9 Simulation avec Second Étage d'Amplification

Simulons désormais le montage qui comprend un second étage d'amplification.

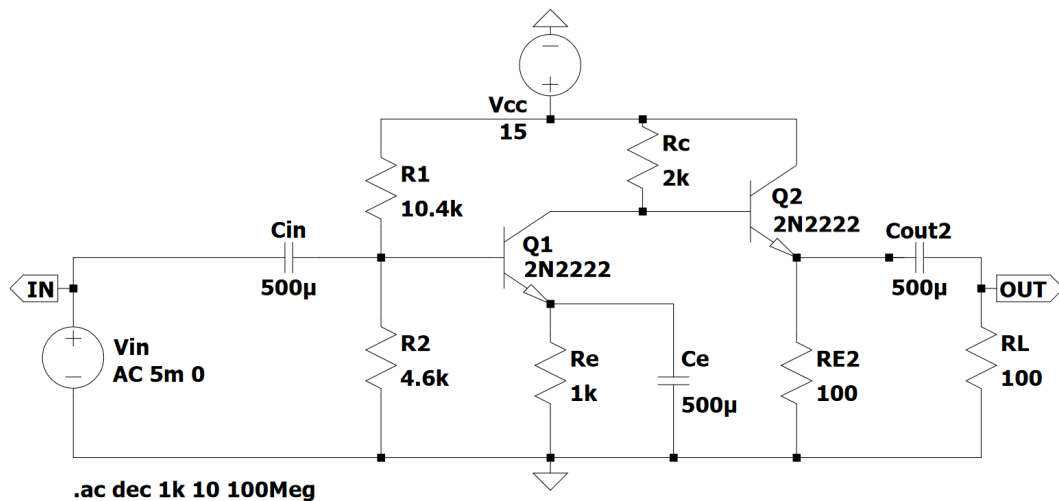


FIGURE 3.9 – Simulation AC du second étage d'amplification

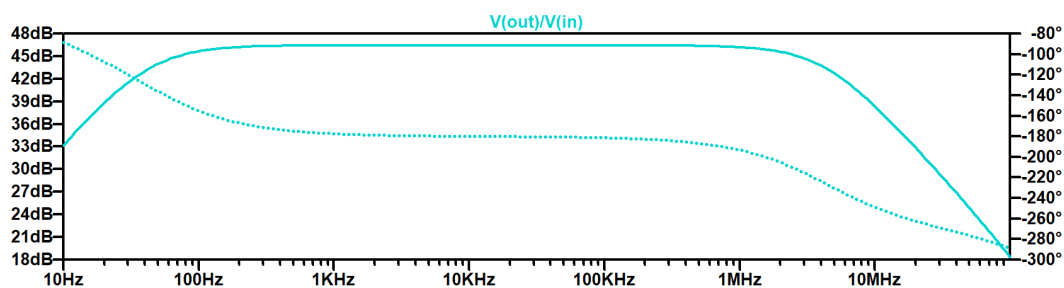


FIGURE 3.10 – Résultats de la simulation AC du second étage d'amplification

Nous pouvons observer que le gain a retrouvé un niveau cohérent de  $46.5 \text{ } [\text{dB}]$ . Sans entreprendre de nouveaux calculs fastidieux, donnons une explication intuitive de la raison pour laquelle le gain a augmenté.

L'augmentation du gain est liée à l'ajout d'un second étage d'amplification.

Premièrement, observons que le gain en décibels du second étage d'amplification est très proche de 0 [dB], donc environ un gain en tension de 1. C'est donc le premier étage d'amplification qui va définir l'amplification totale du système. Nous avons identifié que le circuit du deuxième étage s'apparente à celui d'un **collecteur commun**<sup>3</sup>.

La caractéristique de ce type d'étage d'amplification est d'avoir une résistance d'entrée élevée. Du point de vue de la sortie du premier étage, le second étage se comporte comme une résistance de sortie élevée. Étant donné que le premier étage "voit" une très grande résistance de sortie (second étage), il se comporte comme dans le cas où  $R_L$  était très grande dans l'étude de l'exercice 3.7 à la **Sous-Section 3.7 Simulation du Montage Initial**.

---

3. collecteur commun : [https://fr.wikipedia.org/wiki/Collecteur\\_commun](https://fr.wikipedia.org/wiki/Collecteur_commun)

## 4 Conclusion

Ce projet était conséquent, mais fortement bénéfique pour notre compréhension du sujet. Nous avons tous deux beaucoup appris sur l'électronique durant la réalisation des différents exercices qui auront su mettre à l'épreuve notre intuition et réflexes développés tout au long du semestre. C'est avec beaucoup de plaisir et de détermination que nous nous sommes attelés à réaliser les différents montages avant d'en expliquer les dénouements.

Étant donné notre cursus académique, nous étions déjà familiers avec l'algèbre booléenne ainsi qu'avec les circuits logiques. Ce n'est donc pas ces parties là qui nous ont demandé le plus d'effort de compréhension. Cependant, c'est l'exercice 3 qui aura été le plus compliqué pour nous. N'étant pas encore tout à fait à l'aise avec ce type de montage, nous avons passé un temps important à faire des recherches en lignes, des calculs, et des schémas. Les calculs lorsque  $I_B$  n'est pas négligeable nous ont semblé particulièrement longs et difficiles. Nous avons énormément appris en lisant sur Wikipedia et d'autres ressources d'électronique en ligne, et nous sommes satisfaits des résultats obtenus au final.

Le projet nous aura pris un total de 36 heures à compléter. Cela peut paraître beaucoup, mais ce chiffre est vite relativisé compte tenu de toutes les étapes entreprises : compréhension de la donnée, revue des notions théoriques associées, réflexion sur le problème, recherches sur internet, calculs, simulation, rédaction, et cela pour chacun des trois exercices.

Nous avons également consacré un temps important à la rédaction du rapport. La création d'illustrations explicatives de qualité nous a demandé un certain travail, mais nous sommes ravis du résultat final. Ces figures, auxquelles on fait souvent référence, apportent une autre dimension à la compréhension pour nos lecteurs plus visuels.

Détail du temps passé par tâche :

- Exercice 1 : 8 heures
- Exercice 2 : 10 heures
- Exercice 3 : 13 heures
- Autres (recherche, rédaction, relecture) : 5 heures

Nous avons tenté de toujours agrémenter nos résultats d'explications aussi claires que possible en employant nos propres mots ; une tâche pas toujours facile à effectuer à l'écrit. Nous espérons que notre travail répond aux attentes de nos lecteurs et reflète notre détermination et notre investissement quant aux résultats et explications présentées.

## A Table des figures

### Table des figures

1.1	Table vérité $S1$ . . . . .	2
1.2	Table vérité $S2$ . . . . .	3
1.3	Table vérité $S3$ . . . . .	3
1.4	Table vérité $S3$ complète . . . . .	4
1.5	Circuits pour calcul des tensions . . . . .	4
1.6	Combinaisons des signaux d'entrée sur deux bits . . . . .	7
1.7	Signal de sortie $S_3$ attendus . . . . .	7
1.8	Montage du circuit sur LTspice . . . . .	8
1.9	Résultats de la simulation du circuit sur LTspice . . . . .	8
2.1	Table de vérité pour $S$ et $C_{OUT}$ . . . . .	10
2.2	Diagramme de Karnaugh pour $S$ . . . . .	10
2.3	Diagramme de Karnaugh pour $C_{OUT}$ . . . . .	11
2.4	Circuit logique de la cellule additionneur NAND . . . . .	11
2.5	Circuit électronique de la cellule additionneur NAND . . . . .	12
2.6	Combinaisons des signaux d'entrée sur trois bits . . . . .	12
2.7	Paramètres initiaux des sources de tension en entrée . . . . .	13
2.8	Combinaisons des signaux de sortie attendus . . . . .	13
2.9	Premiers résultats de simulation . . . . .	14
2.10	Paramètres pour mesure des temps de commutation . . . . .	15
2.11	Résultats de la simulation pour mesure des temps de commutation . . . . .	15
2.12	Tableur pour calcul des temps de commutation . . . . .	15
2.13	Circuit logique de l'additionneur 4 bits . . . . .	16
2.14	Extrait des résultats attendus pour l'additionneur quatre bits . . . . .	18
2.15	Extrait des résultats pour $S$ de la simulation de l'additionneur quatre bits . . . . .	18
2.16	Extrait des résultats pour $C$ de la simulation de l'additionneur quatre bits . . . . .	19
3.1	Calcul du bêta en utilisant LTspice . . . . .	20
3.2	Schéma accroissement pour calcul du gain . . . . .	23
3.3	Simulation transient du montage initial . . . . .	24
3.4	Résultats de la simulation transient du montage initial . . . . .	24
3.5	Simulation AC du montage initial . . . . .	25
3.6	Résultats de la simulation AC du montage initial . . . . .	26
3.7	Simulation AC du montage avec $R_L$ modifiée . . . . .	26
3.8	Résultats de la simulation AC du montage avec $R_L$ modifiée . . . . .	26
3.9	Simulation AC du second étage d'amplification . . . . .	27
3.10	Résultats de la simulation AC du second étage d'amplification . . . . .	27

## B Liste des Fichiers Fournis

Voici les différents fichiers fournis avec ce rapport dans l'archive [ZIP](#)<sup>4</sup> de notre projet.

### Liste complète des fichiers de simulations LTspice :

- `ltspice/ex1_question_6.asc` - Montage du circuit de l'exercice 1 pour la question 6, présent sur la [Figure 1.8 Montage du circuit sur LTspice](#).
- `ltspice/ex2_question_6.asc` - Montage du circuit de la cellule additionneur de l'exercice 2 pour la question 6, présent sur la [Figure 2.5 Circuit électronique de la cellule additionneur NAND](#).
- `ltspice/ex2_question_7.asc` - Montage du circuit de l'additionneur quatre bits de l'exercice 2 pour question 7, pas présent sur une figure dans ce document pour cause de taille trop grande.
- `ltspice/ex3_question_2.asc` - Montage du circuit de l'exercice 3 pour l'évaluation du bêta pour la question 2, présent sur la [Figure 3.1 Calcul du bêta en utilisant LTspice](#).
- `ltspice/ex3_question_7_trans.asc` - Montage du circuit de l'exercice 3 pour la simulation en mode transient pour la question 7, présent sur la [Figure 3.3 Simulation transient du montage initial](#).
- `ltspice/ex3_question_7_ac.asc` - Montage du circuit de l'exercice 3 pour la simulation en mode AC pour la question 7, présent sur la [Figure 3.5 Simulation AC du montage initial](#).
- `ltspice/ex3_question_8.asc` - Montage du circuit de l'exercice 3 pour la simulation en mode AC pour la question 8 avec  $R_L$  modifiée, présent sur la [Figure 3.7 Simulation AC du montage avec  \$R\_L\$  modifiée](#).
- `ltspice/ex3_question_9.asc` - Montage du circuit de l'exercice 3 pour la question 9 avec l'ajout du Bloc 2, présent sur la [Figure 3.9 Simulation AC du second étage d'amplification](#).

### Liste des autres fichiers :

- `logisim/ex2.circ` - Circuits et composants logiques Logisim de l'exercice 2, présents sur la [Figure 2.4 Circuit logique de la cellule additionneur NAND](#) et sur la [Figure 2.13 Circuit logique de l'additionneur 4 bits](#).

---

4. ZIP : [https://en.wikipedia.org/wiki/ZIP\\_\(file\\_format\)](https://en.wikipedia.org/wiki/ZIP_(file_format))